

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-264018

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 5/08	T			
G 0 1 R 19/165	A			
H 0 3 M 1/34				

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21)出願番号 特願平6-55804

(22)出願日 平成6年(1994)3月25日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 植野 雅之

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

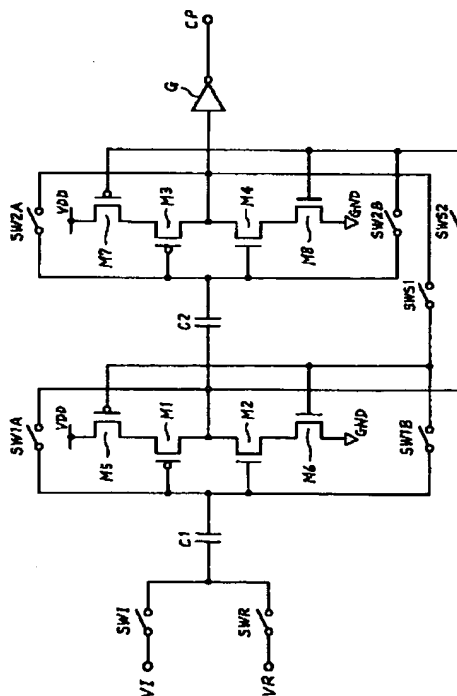
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 チョッパ型コンパレータ

(57)【要約】

【目的】 電圧利得を上昇させ、動作速度を向上する。

【構成】 比較動作時には、閾値シフトスイッチSWS1及びSWS2がいずれもオンとなる。コンデンサC1の電位が上昇し、コンデンサC2の電位が下降し、インバータゲートG1の入力の電位が上昇すると、MOSTランジスタM5及びM6のゲートの電位が上昇して前記コンデンサC2の電位はより下降し、MOSTランジスタM7及びM8のゲート電位が下降して前記インバータゲートGの入力の電位はより上昇する。電圧利得が上昇されたのと同等の効果が得られ、比較動作速度を向上できる。閾値シフトスイッチSWS1及びSWS2は、基本的に比較動作時にオンとすればよく、新たなクロック信号が不要である。



【特許請求の範囲】

【請求項1】第1インバータゲートの出力と第2インバータゲートの入力との間を第2コンデンサで直列接続しておき、基準電圧及び該基準電圧と比較されるアナログ入力電圧を、前記第1インバータゲートの入力に対して直列接続される第1コンデンサを経て前記第1インバータゲートへと交互に入力するようにし、又、この交互入力の際、一方の入力時に前記第1インバータゲートの入力と出力との短絡リセット及び前記第2インバータゲートの入力と出力との短絡リセットを行い、他方の入力時の前記第2インバータゲートの出力にて、前記基準電圧と前記アナログ電圧との大小関係を判定するようにしたチョッパ型コンパレータにおいて、

その論理閾値をシフトさせることができる前記第1インバータゲートと、

その論理閾値をシフトさせることができる前記第2インバータゲートと、

前記第2インバータゲートのL状態の出力時に比べて、そのH状態の出力時には、前記第1インバータゲートの論理閾値を下降シフトさせる第1論理閾値シフト回路と、

前記第1インバータゲートのL状態の出力時に比べて、そのH状態の出力時には、前記第2インバータゲートの論理閾値を下降シフトさせる第2論理閾値シフト回路とを備えたことを特徴とするチョッパ型コンパレータ。

【請求項2】請求項1において、

前記第1インバータゲートが、PチャネルMOSTランジスタM1及びM5又NチャネルMOSTランジスタM2及びM6を有し、それぞれのソース及びドレインについて、電源VDD側からグラウンドGND側へ、前記PチャネルMOSTランジスタM5、M1、前記NチャネルMOSTランジスタM2、M6の順に直列接続されており、前記PチャネルMOSTランジスタM1のゲートと前記NチャネルMOSTランジスタM2のゲートとが当該第1インバータゲートの入力とされ、前記PチャネルMOSTランジスタM1のドレインと前記NチャネルMOSTランジスタM2のドレインとの接続点が当該第1インバータゲートの出力とされ、前記PチャネルMOSTランジスタM5のゲートと前記NチャネルMOSTランジスタM6のゲートとが当該第1インバータゲートの論理閾値シフト入力とされているものであり、

前記第2インバータゲートが、PチャネルMOSTランジスタM3及びM7又NチャネルMOSTランジスタM4及びM8を有し、それぞれのソース及びドレインについて、電源VDD側からグラウンドGND側へ、前記PチャネルMOSTランジスタM7、M3、前記NチャネルMOSTランジスタM4、M8の順に直列接続されており、前記PチャネルMOSTランジスタM3のゲートと前記NチャネルMOSTランジスタM4のゲートとが当該第2インバータゲートの入力とされ、前記Pチャネ

ルMOSTランジスタM3のドレインと前記NチャネルMOSTランジスタM4のドレインとの接続点が当該第2インバータゲートの出力とされ、前記PチャネルMOSTランジスタM7のゲートと前記NチャネルMOSTランジスタM8のゲートとが当該第2インバータゲートの論理閾値シフト入力とされているものであり、

前記基準電圧と前記アナログ電圧との大小関係の判定時にオンとなる第1閾値シフトスイッチを有し、該第1閾値シフトスイッチにて、前記第1インバータゲートの前記論理閾値シフト入力と、前記第2インバータゲートの出力とが接続されており、

前記第1閾値シフトスイッチ及び該第1閾値シフトスイッチでの接続にて、前記第1論理閾値シフト回路が構成され、

前記基準電圧と前記アナログ電圧との大小関係の判定時にオンとなる第2閾値シフトスイッチを有し、該第2閾値シフトスイッチにて、前記第2インバータゲートの前記論理閾値シフト入力と、前記第1インバータゲートの出力とが接続されており、

前記第2閾値シフトスイッチ及び該第2閾値シフトスイッチでの接続にて、前記第2論理閾値シフト回路が構成されていることを特徴とするチョッパ型コンパレータ。

【請求項3】請求項2において、

前記PチャネルMOSTランジスタM5及びM7を省略するか、あるいは、前記NチャネルMOSTランジスタM6及びM8を省略したことを特徴とするチョッパ型コンパレータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般的なチョッパ型コンパレータ、即ち、第1インバータゲートの出力と第2インバータゲートの入力との間を第2コンデンサで直列接続しておき、基準電圧及び該基準電圧と比較されるアナログ入力電圧を、前記第1インバータゲートの入力に対して直列接続される第1コンデンサを経て前記第1インバータゲートへと交互に入力するようにし、又、この交互入力の際、一方の入力時に前記第1インバータゲートの入力と出力との短絡リセット及び前記第2インバータゲートの入力と出力との短絡リセットを行い、他方の入力時の前記第2インバータゲートの出力にて、前記基準電圧と前記アナログ電圧との大小関係を判定するようにしたチョッパ型コンパレータに係り、特に、クロック信号の数の増加等で制御が複雑にならないようにしながら、又、消費電力の増加を抑えながら、動作速度を向上することができるチョッパ型コンパレータに関する。

【0002】

【従来の技術】A/DコンバータやD/Aコンバータは、計測装置、例えばデジタルボルトメータやプログラム電源等、工業用分野では古くから用いられている。

又、近年、A/Dコンバータ等は、コンパクトディスク

プレーヤ等の民生用や、デジタル回線に電話を接続するためのコーデック等の特殊分野等にも用いられるようになっている。又、高速動作が可能なA/Dコンバータとして、フラッシュ型A/Dコンバータが知られている。又、このようなフラッシュ型A/Dコンバータの1つに、2ステップフラッシュ型A/Dコンバータがある。該2ステップフラッシュ型A/Dコンバータ等、近年のフラッシュ型A/Dコンバータでは、一般にチョッパ型コンパレータが広く用いられている。

【0003】このチョッパ型コンパレータは、例えばCMOS (complementary metal oxide semiconductor) インバータゲートの入力に直立接続されたコンデンサ (以降、ホールドコンデンサと呼ぶ) へと、まず、基準電圧VRを入力し、この際、該CMOSインバータゲートのその入力と出力とを短絡させることにより、該基準電圧VRに対応する電荷Qを該ホールドコンデンサへと蓄える。この後、前記基準電圧VRが入力されていた前記ホールドコンデンサを、今度はアナログ信号電圧VIへと接続する。このとき、前記CMOSインバータゲートからは、前記基準電圧VRと前記アナログ信号電圧VIとの差の値の正負に従った比較結果信号CPが出力される。

【0004】あるいは、これら基準電圧VRとアナログ信号電圧VIとの入力順序は逆であってもよい。即ち、まず、前記アナログ信号電圧VIを入力し、この際、前記CMOSインバータのその入力と出力とを短絡させることにより、前記アナログ信号電圧VIに対応する電荷Qを前記ホールドコンデンサへと蓄える。この後、前記アナログ信号電圧VIが入力されていた前記ホールドコンデンサを、今度は前記基準電圧VRへと接続する。この時、前記CMOSインバータゲートからは、前記アナログ信号電圧VIと前記基準電圧VRとの差の値の正負に従った比較結果信号CPが出力される。なお、このようにこれらアナログ信号電圧VIと基準電圧VRとの入力順序を逆としてもよいが、当然ながら、このように逆とすることで前記比較結果信号CPによる大小判定結果も反対となる。

【0005】このようなチョッパ型コンパレータにあって、その動作速度は、用いるインバータゲートの遅延時間 (動作時間) 及び電圧利得に依存する。

【0006】しかしながら、例えば前述の如く前記チョッパ型コンパレータに用いる前記インバータゲートとして例えばCMOSインバータゲートを用いる際に、当該CMOSインバータゲート自体の遅延時間を短縮し、高速化を図ろうとし、これに用いられるMOS (metal oxide semiconductor) トランジスタのチャネル長を小とした場合、そのCMOSインバータゲートの電圧利得が低下してしまう。又逆に、該CMOSインバータゲートのその電圧利得を向上させようとし、これに用いるMOSトランジスタのチャネル長を大とした場合には、そ

のCMOSインバータゲートの遅延時間が増大してしまう。

【0007】このような点に鑑み、特開昭63-36610では、チョッパ型コンパレータにあって、その遅延時間短縮とその電圧利得向上とを両立することで、その比較動作速度を向上するという技術が開示されている。

【0008】まず、該特開昭63-36610では、2つのインバータゲートを直列に用いた前記チョッパ型コンパレータにあって、前段の第1インバータゲートの入力と後段の第2インバータゲートの出力との間を結合容量を介して接続することで、正帰還回路を構成するようにしている。このような正帰還回路によって、例えば個々のインバータゲートの遅延時間を低下させてしまうことなく、全体的な電圧利得を向上するようにしているものである。

【0009】又、該特開昭63-36610において後に追加された実施例にあっては、このような正帰還回路、即ち、前記第1インバータゲートの入力と前記第2インバータゲートの出力とを結ぶ正帰還回路を、特別なタイミングにて動作する帰還スイッチにて構成するようにしている。この実施例にあっては、正帰還回路を構成することによって、個々のインバータゲートの遅延時間の延長を抑えながら、全体的な電圧利得を向上し、これによってその比較動作速度を向上するようにしている。

【0010】

【発明が達成しようとする課題】しかしながら、前記特開昭63-36610にあって、前述の如く、前記第1インバータゲートの入力と、前記第2インバータゲートの出力とを所定の結合容量にて接続し、正帰還回路を構成した場合、該第1インバータゲートの入力の容量が増大してしまう。これによって、まず、該第1インバータゲートの動作速度が低下してしまう。一方、前記第2インバータゲートの出力に関しては、容量負荷が増大してしまい、該第2インバータゲートの動作速度が低下してしまう。従って、このように正帰還回路を構成したとしても、用いるインバータゲートの特性、例えば前記第2インバータゲートの出力駆動能力の大きさ等によって、全体的な比較動作速度の向上はごく小さくなってしまったり、かえって低下してしまう恐れもある。

【0011】又、該特開昭63-36610にあって、前記第1インバータゲートの入力と、前記第2インバータゲートの出力とを所定の帰還スイッチにて接続することで前述のような正帰還回路を構成するようにした場合にあっては、このような帰還スイッチを設けることで、前記第1インバータゲートの入力容量が増大してしまったり、前記第2インバータゲートの出力の負荷容量が増大してしまうという問題がある。この場合、全体的な比較動作速度が低下してしまう。

【0012】又、このように帰還スイッチを用いる場合、従来からあった一般的な前記チョッパ型コンパレー

タにおける、ホールドコンデンサへと電荷を蓄える「リセット動作」、及び、入力される前記アナログ信号電圧VIと前記基準電圧VRとの比較を行う「比較動作」に加え、更に前記帰還スイッチをオンとする「帰還動作」を行わなければならない。このような3段階の動作を行うために、前記特開昭63-36610では、従来からの前記リセット動作を制御するクロック信号と、同じく従来からの前記比較動作を制御するクロック信号とに加え、前述のような新たな帰還動作を制御する専用のクロック信号を必要としてしまっていた。このため、クロック信号の数の増加等で制御が複雑になってしまうという問題があった。

【0013】特に、前記帰還動作にあつては、該動作が前記リセット動作と重複してしまわないように厳密に制御する必要があり、又、該動作が前記比較動作と重複してしまわないように厳密に制御しなければならなかった。

【0014】該帰還動作が前記リセット動作と一部でも重複してしまうと、例えば前記第1インバータゲートの特性と前記第2インバータゲートとの相互の特性の格差、又これらそれぞれをリセットするリセットスイッチ相互の特性の格差等によっては、該リセット動作における前記ホールドコンデンサへの電荷の充電が不安定になってしまうという問題を生じてしまう。

【0015】又、該帰還動作が前記比較動作と一部でも重複してしまうと、前記第2インバータゲートの出力の変動量が、前記第1インバータゲートの入力へ影響を与えてしまい、正確な比較動作を行えなくなってしまう。

【0016】このように前記帰還動作と前記リセット動作との重複及び前記帰還動作と前記比較動作との重複を防止することに加え、更に、従来から行われているように、当然ながら前記リセット動作と前記比較動作との重複を防ぐようにしなければならない。該リセット動作と該比較動作とが一部でも重複してしまうと、前記アナログ信号電圧VIと前記基準電圧VRとが短絡されてしまい、該リセット動作でその前記ホールドコンデンサへ正確な電荷の充電がなされなくなってしまうため、その比較結果の精度が低下してしまうという問題がある。

【0017】本発明は、前記従来の問題点を解決するべくなされたもので、クロック信号の数の増加等で制御が複雑にならないようにしながら、又、消費電力の増加を抑えながら、比較動作速度を向上することができるチョップ型コンパレータを提供することを目的とする。

【0018】

【課題を達成するための手段】なお、本発明の説明においては、PチャネルMOSトランジスタが正孔（ホール）の移動によって動作するという観点から、PチャネルMOSトランジスタのソースとドレインの呼称については、最高電位側をソースとし、最低電位側をドレインと称するものとする。一方、NチャネルMOSトランジ

スタについては、その動作が主として電子の移動によるものであるという観点から、その最低電位側をソースと称し、その最高電位側をドレインと称する。

【0019】本発明は、第1インバータゲートの出力と第2インバータゲートの入力との間を第2コンデンサで直列接続しておき、基準電圧及び該基準電圧と比較されるアナログ入力電圧を、前記第1インバータゲートの入力に対して直列接続される第1コンデンサを経て前記第1インバータゲートへと交互に入力するようにし、又、この交互入力の際、一方の入力時に前記第1インバータゲートの入力と出力との短絡リセット及び前記第2インバータゲートの入力と出力との短絡リセットを行い、他方の入力時の前記第2インバータゲートの出力にて、前記基準電圧と前記アナログ電圧との大小関係を判定するようにしたチョップ型コンパレータにおいて、その論理閾値をシフトさせることができる前記第1インバータゲートと、その論理閾値をシフトさせることができる前記第2インバータゲートと、前記第2インバータゲートのL状態の出力時に比べて、そのH状態の出力時には、前記第1インバータゲートの論理閾値を下降シフトさせる第1論理閾値シフト回路と、前記第1インバータゲートのL状態の出力時に比べて、そのH状態の出力時には、前記第2インバータゲートの論理閾値を下降シフトさせる第2論理閾値シフト回路とを備えたことにより、前記課題を達成したものである（請求項1対応）。

【0020】又、前記チョップ型コンパレータにおいて、前記第1インバータゲートが、PチャネルMOSトランジスタM1及びM5又NチャネルMOSトランジスタM2及びM6を有し、それぞれのソース及びドレインについて、電源VDD側からグランドGND側へ、前記PチャネルMOSトランジスタM5、M1、前記NチャネルMOSトランジスタM2、M6の順に直列接続されており、前記PチャネルMOSトランジスタM1のゲートと前記NチャネルMOSトランジスタM2のゲートとが当該第1インバータゲートの入力とされ、前記PチャネルMOSトランジスタM1のドレインと前記NチャネルMOSトランジスタM2のドレインとの接続点が当該第1インバータゲートの出力とされ、前記PチャネルMOSトランジスタM5のゲートと前記NチャネルMOSトランジスタM6のゲートとが当該第1インバータゲートの論理閾値シフト入力とされているものであり、前記第2インバータゲートが、PチャネルMOSトランジスタM3及びM7又NチャネルMOSトランジスタM4及びM8を有し、それぞれのソース及びドレインについて、電源VDD側からグランドGND側へ、前記PチャネルMOSトランジスタM7、M3、前記NチャネルMOSトランジスタM4、M8の順に直列接続されており、前記PチャネルMOSトランジスタM3のゲートと前記NチャネルMOSトランジスタM4のゲートとが当該第2インバータゲートの入力とされ、前記Pチャネル

MOSTランジスタM3のドレインと前記NチャネルMOSTランジスタM4のドレインとの接続点が当該第2インバータゲートの出力とされ、前記PチャネルMOSTランジスタM7のゲートと前記NチャネルMOSTランジスタM8のゲートとが当該第2インバータゲートの論理閾値シフト入力とされているものであり、前記基準電圧と前記アナログ電圧との大小関係の判定時にオンとなる第1閾値シフトスイッチを有し、該第1閾値シフトスイッチにて、前記第1インバータゲートの前記論理閾値シフト入力と、前記第2インバータゲートの出力とが接続されており、前記第1閾値シフトスイッチ及び該第1閾値シフトスイッチでの接続にて、前記第1論理閾値シフト回路が構成され、前記基準電圧と前記アナログ電圧との大小関係の判定時にオンとなる第2閾値シフトスイッチを有し、該第2閾値シフトスイッチにて、前記第2インバータゲートの前記論理閾値シフト入力と、前記第1インバータゲートの出力とが接続されており、前記第2閾値シフトスイッチ及び該第2閾値シフトスイッチでの接続にて、前記第2論理閾値シフト回路が構成されていることにより、より簡潔な回路にて、前記課題を達成したものである（請求項2対応）。

【0021】更に、前記チョッパ型コンパレータにおいて、前記PチャネルMOSTランジスタM5及びM7を省略するか、あるいは、前記NチャネルMOSTランジスタM6及びM8を省略したことにより、更に簡潔な回路にて、前記課題を達成したものである（請求項3対応）。

【0022】

【作用】インバータゲートにあって、入力がH状態であると判定されるとL状態が出力され、一方、L状態が入力されていると判定されるとH状態が出力される。このような入力される論理状態の判定は、所定の論理閾値を基準とし、入力される電圧と該論理閾値との大小関係を比較することによりなされる。

【0023】又、このようなインバータゲートにおける入力信号の立上がりに際しては、該論理閾値を低くシフト（以降、下降シフトと称する）すると、H状態が入力されたとの判定が速かになされる。一方、このようなインバータゲートの入力が立下がる際、該論理閾値を引上げるようにシフト（以降、上昇シフトと称する）すると、入力がL状態となったことの判定をより早く行うことができる。

【0024】本発明においては、このような点に鑑み、そのチョッパ型コンパレータで直列接続して用いる2つのインバータゲートを、それぞれその論理閾値をシフトさせることができるものとしている。又、このようなインバータゲートを、信号の入力側から順に第1インバータゲート、第2インバータゲートとするようにしている。

【0025】更に、前記第2インバータゲートのL状態

の出力時に比べて、そのH状態の出力時には、前記第1インバータゲートの論理閾値を下降シフトさせるようにしている。即ち、前記第2インバータゲートの出力の上昇（立上がり）時には、前記第1インバータゲートの論理閾値が下降するものとなる。又、前記第2インバータゲートの出力の下降時には、前記第1インバータゲートの論理閾値は上昇されるものである。

【0026】更に、前記第1インバータゲートのL状態の出力時に比べて、そのH状態の出力時には、前記第2インバータゲートの論理閾値を下降シフトさせるようにしている。即ち、前記第1インバータゲートの出力の上昇（立上がり）時には、前記第2インバータゲートの論理閾値が下降する。又、前記第1インバータゲートの出力の下降（立下がり）時には、前記第2インバータゲートの論理閾値が上昇するものとなる。

【0027】このように、本発明においては、前記第2インバータゲートの出力に応じ前記第1インバータゲートの論理閾値をシフトさせる一方、前記第1インバータゲートの出力に応じて前記第2インバータゲートの論理閾値をシフトさせることで、前記リセット後の前記比較動作時における、前記第1インバータゲートの動作や前記第2インバータゲートの動作の速度を向上することができるようになっている。これによって、そのチョッパ型コンパレータ全体としての比較動作速度を向上することができている。

【0028】又、本発明においては、前記比較動作時に前記第1インバータゲートのその論理閾値をシフトさせ、又前記第2インバータゲートのその論理閾値をシフトさせるようにしているものの、これによってこれら第1インバータゲート又第2インバータゲートの入力に接続される容量は増加しないため、これによる動作速度の低下という問題もない。

【0029】更に、本発明における前述のような論理閾値のシフトは、従来から行われている比較動作と共に、並行して行うことが可能である。従って、従来から行われている比較動作を制御するクロック信号を用いながら、このような論理閾値のシフトをも行うことが可能である。従って、このような論理閾値のシフトを行うようにしたとしても、その制御に必要とするクロック信号の数の増加を抑えることが可能であり、制御が複雑になってしまうことはない。

【0030】即ち、例えば前記リセット動作を制御する1つのクロック信号と、前記比較動作を制御する別のクロック信号との、最低限2つのクロック信号だけで制御することも可能である。比較して、前記特開昭63-36610では、3相のクロック信号を必要としてしまっていた。

【0031】又、このように本発明において動作速度を向上することで、その比較動作時には、前記第1インバータゲートの出力をH状態又はL状態のいずれか一方へ

と速かに固定することができる。又、前記第2インバータゲートについても、その出力をH状態又はL状態のいずれか一方に速かに固定することができる。このため、これら第1インバータゲート又第2インバータゲートの出力電圧が、H状態とL状態との間の中途状態となってしまう、立下がりや立上がりの過渡的な期間を短縮することができる。これによって、このような中途状態による、電源からグランドへの、いわゆる貫通電流を低減することができる。

【0032】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0033】図1は、本発明が適用された第1実施例のチョッパ型コンパレータの回路図である。

【0034】この図1においては、入力される前記アナログ信号電圧VIと前記基準電圧VRとの大小関係を比較する、チョッパ型コンパレータが示されるものである。

【0035】以下の説明においては、前記基準電圧VRを入力しながら前記リセット動作を行った後、前記アナログ信号電圧VIを入力しながら、これらアナログ信号電圧VIと基準電圧VRとの大小関係を比較する前記比較動作を行うというものである。この場合、前記アナログ信号電圧VIの方が大であれば前記比較結果信号CPはL状態となり、前記基準電圧VRの方が大であれば前記比較結果信号CPはH状態となる。

【0036】なお、本第1実施例、又後述する第2実施例及び第3実施例においても、前記アナログ信号電圧VIを入力しながら前記リセット動作を行い、前記基準電圧VRを入力しながら前記比較動作を行うようにしてもよい。このようにした場合には、前記アナログ信号電圧VIが大であれば前記比較結果信号CPはH状態であり、前記基準電圧VRが大であれば前記比較結果信号CPはL状態となるものである。

【0037】この図1において、まず、第1インバータゲートはPチャネルMOSトランジスタM1及びM5と、NチャネルMOSトランジスタM2及びM6とにより構成されている。又、該第1インバータゲートにおいては、前記PチャネルMOSトランジスタM1及びM5、又、前記NチャネルMOSトランジスタM2及びM6にあって、それぞれのソース及びドレインについて、電源VDD側からグランドGND側へと、前記PチャネルMOSトランジスタM5、M1、前記NチャネルMOSトランジスタM2、M6の順に直列接続されている。

【0038】該第1インバータゲートにおいて、特に、前記PチャネルMOSトランジスタM1及び前記NチャネルMOSトランジスタM2は、主としてインバータゲートにおける反転増幅器としての機能を実現するために用いられている。前記PチャネルMOSトランジスタM1のゲートと前記NチャネルMOSトランジスタM2のゲートとは、当該第1インバータゲートの反転増幅器と

しての入力となっている。又、前記PチャネルMOSトランジスタM1のドレインと前記NチャネルMOSトランジスタM2のドレインとが接続され、この接続点が、当該第1インバータゲートの出力とされ、又前記第2コンデンサC2へと接続されている。

【0039】又、前記PチャネルMOSトランジスタM5及び前記NチャネルMOSトランジスタM6は、特に、該第1インバータゲートにおけるその論理閾値をシフトさせる機能を実現するために用いられている。特に、前記PチャネルMOSトランジスタM5のゲートと前記NチャネルMOSトランジスタM6のゲートとは、第1インバータゲートにおける本発明が適用された論理閾値シフト入力とされている。該論理閾値シフト入力へと入力される電圧が上昇されると、該第1インバータゲートの論理閾値も上昇される。一方、該論理閾値シフト入力へ入力される電圧が下降されると、該第1インバータゲートの論理閾値も下降される。

【0040】一方、前記第2インバータゲートについては、PチャネルMOSトランジスタM3及びM7と、NチャネルMOSトランジスタM4及びM8によって構成されている。又、該第2インバータゲートについては、前記PチャネルMOSトランジスタM2及びM7又前記NチャネルMOSトランジスタM4及びM8にあって、それぞれのソース及びドレインについて、電源VDD側からグランドGND側へと直列接続されている。

【0041】該第2インバータゲートにあっては、特に、前記PチャネルMOSトランジスタM3及び前記NチャネルMOSトランジスタM4は、当該第1インバータゲートにおける反転増幅器としての機能を実現するために用いられている。前記PチャネルMOSトランジスタM3のゲートと前記NチャネルMOSトランジスタM4のゲートとは、当該第2インバータゲートの反転増幅器としての入力となっている。又、前記PチャネルMOSトランジスタM3のドレインと前記NチャネルMOSトランジスタM4のドレインとが接続され、この接続点が当該第2インバータゲートの出力とされ、又前記インバータゲートGの入力へ接続されている。

【0042】又、前記PチャネルMOSトランジスタM7及び前記NチャネルMOSトランジスタM8については、該第2インバータゲートにおけるその論理閾値をシフトさせる機能を実現するために用いられている。特に、前記PチャネルMOSトランジスタM7のゲートと前記NチャネルMOSトランジスタM8のゲートとは、該第2インバータゲートにおける本発明が適用された論理閾値シフト入力とされている。該論理閾値シフト入力へと入力される電圧が上昇されると、該第2インバータゲートの論理閾値は上昇される。又、該論理閾値シフト入力へ入力される電圧が下降されると、該第2インバータゲートの論理閾値も下降される。

【0043】又、これら第1インバータゲート及び第2

11

インバータゲートは、第1コンデンサC1及び第2コンデンサC2と共に直列接続されている。これら第1コンデンサC1及び第2コンデンサC2は、チョッパ型コンパレータに通常用いられるホールドコンデンサとなっている。

【0044】更に、当該チョッパ型コンパレータの入力側にあつては、前記アナログ信号電圧VIの入力側にアナログ入力スイッチSWIが設けられている。一方、前記基準電圧VRの入力側には、基準電圧スイッチSWRが設けられている。又、当該チョッパ型コンパレータの出力側には、出力バッファとして用いられるインバータゲートGが接続されている。

【0045】更に、このような構成の前記第1インバータゲートにあつて、その入力とその出力との間にリセットスイッチSW1Aが接続され、その入力とその前記論理閾値シフト入力との間にリセットスイッチSW1Bが接続されている。又、前記第2インバータゲートについては、その入力とその出力とはリセットスイッチSW2Aで接続され、その入力とその前記論理閾値シフト入力とはリセットスイッチSW2Bで接続されている。

【0046】更に、このような前記第1インバータゲートと前記第2インバータゲートとは、第1閾値シフトスイッチSWS1と第2閾値シフトスイッチSWS2とによって、相互に接続されている。具体的には、前記第1インバータゲートの前記論理閾値シフト入力と前記第2インバータゲートの出力とが、前記第1閾値シフトスイッチSWS1にて接続されている。又、前記第2インバータゲートの前記論理閾値シフト入力と、前記第1インバータゲートの出力とが、前記第2閾値シフトスイッチSWS2にて接続されている。

【0047】本第1実施例における、前記アナログ入力スイッチSWI、前記基準電圧スイッチSWR、前記リセットスイッチSW1A、SW1B、SW2A、SW2B、前記第1閾値シフトスイッチSWS1及び前記第2閾値シフトスイッチSWS2の動作は次のとおりである。

【0048】まず、前記リセット動作時にあつては、まず、前記リセットスイッチSW1A、SW1B、SW2A及びSW2Bが、共にオンとなる。なお、このような前記リセット動作を制御するクロック信号を Φ_s としてもよい。即ち、前記クロック動作を行う期間にあつては、該クロック信号 Φ_s がH状態となる。又該リセット動作を行わない期間にあつては、該クロック信号 Φ_s はL状態とする。

【0049】一方、前記比較動作にあつては、前記第1閾値シフトスイッチSWS1及び前記第2閾値シフトスイッチSWS2がいずれもオンとなる。なお、このような前記比較動作を制御するクロック信号を、クロック信号 Φ_b とする。該クロック信号 Φ_b は、該比較動作を行う期間にH状態となる。又、該比較動作以外の期間にあ

12

つてはL状態となる。なお、前記クロック信号 Φ_s のH状態の期間と、前記クロック信号 Φ_b のH状態との期間とは重複しないようにされている。

【0050】又、前記アナログ入力スイッチSWI及び前記基準電圧スイッチSWRについては、本実施例では、前記クロック信号 Φ_s に従つて前記リセット動作時に前記基準電圧スイッチSWRがオンとなり、前記クロック信号 Φ_b に従つて前記比較動作時に前記アナログ入力スイッチSWIがオンとなるものとしている。

10 【0051】これは、前述の如く、前記基準電圧スイッチSWRを入力しながら前記リセット動作を行い、前記アナログ信号電圧VIを入力しながら前記比較動作を行うことが前提となっているためである。従つて、信号の入力順を逆として、前記リセット動作時に前記アナログ信号電圧VIを入力するようにし、前記比較動作時に前記基準電圧VRを入力するようにした場合には、前記リセット動作時に前記アナログ入力スイッチSWIをオンとし、前記比較動作時に前記基準電圧スイッチSWRがオンとされる。

20 【0052】図2は、本第1実施例における前記リセット動作を示す回路図である。

【0053】前述の如く、前記リセット動作時に、前記リセットスイッチSW1A、SW1B、SW2A、SW2B及び前記基準電圧スイッチSWRがいずれもオンとなると、結果的に、この図2に示されるような接続となる。

30 【0054】これによって、前記第1インバータゲートのその入力とその出力とが短絡される。又、この短絡状態における当該第1インバータゲートの論理閾値を V_t とする。この時、図3のグラフに示すとおり、該第1インバータゲートの出力する電圧VA1は前記論理閾値 V_t と等しくなる。

【0055】又、前記第2インバータゲートのその入力とその出力とも短絡されるこのときの該第2インバータゲートの論理閾値を V_t とする。すると、図4に示す如く、このときの該第2インバータゲートの出力の電圧VA2は該論理閾値 V_t と等しくなる。

40 【0056】又、このようなリセット動作時にあつては、前記基準電圧VRに対応する電荷Qが前記第1コンデンサC1及び前記第2コンデンサC2へと蓄積される。

【0057】図5は、本第1実施例における比較動作を示す回路図である。

50 【0058】前述の如く、比較動作として前記アナログ入力スイッチSWI、前記第1閾値シフトスイッチSWS1及び前記第2閾値シフトスイッチSWS2がいずれもオンとなると、結果としてその接続はこの図5に示されるようになる。又、この図5では、このとき前記基準電圧VRに比べ、前記アナログ信号電圧VIの方が大のときが示されている。

【0059】このように前記アナログ信号電圧V Iの方が大のときには、前記第1コンデンサC 1の電位及び前記第1インバータゲートの入力電位が上昇する。又、図6のグラフに示す如く、これに伴って該第1インバータゲートの出力する電圧は、電圧V A 1から電圧V B 1へと下降する。

【0060】これに伴って、前記第2コンデンサC 2の電位又前記第2インバータゲートの入力電位は下降する。この結果、図7の示される如く、該第2インバータゲートの出力する電位は、電圧V A 2から電圧V B 2へと上昇する。

【0061】このように該第2インバータゲートの出力電位が上昇すると、前記第1インバータゲートの前記論理閾値シフト入力へ入力される電位も上昇する。これに伴って、前記図6に示した前記論理閾値V tは上昇する。

【0062】このような該論理閾値V tの上昇に伴って、当該第1インバータゲートにおける入力電圧V inと出力電圧V outとの関係は、この図6の実線L A 1から破線L B 1へと変化する。これに伴って、同一の入力電圧V inであったとしても、当該第1インバータゲートから出力される電圧は、V B 1からV C 1へと下降する。これは、あたかも該1インバータゲートの電圧利得が上昇されたのと同等の効果とすることができる。

【0063】一方、前記第1インバータゲートの出力が接続されている前記第2インバータゲートの前記論理閾値シフト入力については、これに入力される電位は下降する。これに伴って、前記図7に示した前記論理閾値V tは下降する。

【0064】このように該論理閾値V tが下降すると、該第2インバータゲートにおけるその入力電圧V inとその出力電圧V outとの関係は、この図7の実線L A 2から破線L B 2へと変化する。

【0065】これに伴って、当該第2インバータゲートが出力する電圧は、同一の入力電圧V inであったとしても、V B 2からV C 2へと変化する。このような変化は、あたかも当該第2インバータゲートの電圧利得が上昇したのと同等の効果とすることができる。

【0066】なお、前記図5～前記図7を用いた以上の説明においては、前記基準電圧V Rに対して、前記アナログ信号電圧V Iが大の場合である。

【0067】しかしながら、これとは逆に、前記基準電圧V Rに比べて前記アナログ信号電圧V Iが小の場合であったとしても、前記第2インバータゲートの出力によって前記第1インバータゲートの論理閾値が下降され、前記第1インバータゲートの出力にて前記第2インバータゲートの前記論理閾値が上昇され、同様の効果を得ることができる。即ち、前記第1インバータゲートの電圧利得上昇と同等の効果と、前記第2インバータゲートの電圧利得上昇と同等の効果を得ることができる。

【0068】このように、本実施例によれば、前記第1インバータゲート及び前記第2インバータゲートの電圧利得を効果的に上昇することができ、結果としてその比較動作速度を向上することができる。

【0069】図8は、本発明が適用された第2実施例のチョッパ型コンパレータの回路図である。

【0070】この図8に示される如く、本第2実施例については、前記第1実施例において前記第1インバータゲートのその論理閾値をシフトさせるために用いられる、前記図1に示される前記PチャネルMOSトランジスタM 5が省略されている。又、前記第2インバータゲートのその論理閾値をシフトさせるために用いられている、前記図1に示される前記PチャネルMOSトランジスタM 7が省略されている。

【0071】図9は、本第2実施例におけるリセット動作を示す回路図である。又、図10は、本第2実施例における比較動作を示す回路図である。

【0072】本第2実施例において用いるそれぞれのMOSトランジスタをいずれも前記第1実施例に用いたものと同等とした場合、本第2実施例の方が論理閾値のシフト量は少なくなる傾向がある。即ち、前記第1インバータゲートや前記第2インバータゲートのその論理閾値シフト入力電圧が同一電圧幅だけ変化したとしても、変化する論理閾値のシフト量は少なくなる。

【0073】しかしながら、本第2実施例についても、これら図9及び図10に示される如く、同様の傾向の動作がなされ、前記第1実施例と類似した効果を得ることができ、比較動作速度の向上を図ることができる。

【0074】図11は、本発明が適用された第3実施例のチョッパ型コンパレータの回路図である。

【0075】この図11に示す如く、本第3実施例については、前記図1に示した前記第1実施例に用いられる前記NチャネルMOSトランジスタM 6及びM 8を省略したものである。即ち、前記第1インバータゲートのその論理閾値をシフトさせるために用いられる前記NチャネルMOSトランジスタM 6と、前記第2インバータゲートのその論理閾値をシフトさせるために用いられる前記NチャネルMOSトランジスタM 8を省略したものである。

【0076】これに伴って、本第3実施例については、前記第1実施例に比べて論理閾値のシフト量が小さくなっている。即ち、前記第1インバータゲート又前記第2インバータゲートについて、それぞれの前記論理閾値シフト入力へ入力される電圧の変化量に対するそれぞれの前記論理閾値の変化量は、本第3実施例については前記第1実施例より少なくなる傾向がある。

【0077】しかしながら、本第3実施例についても、前記第1実施例と同傾向の効果を得ることができ、その比較動作速度を向上することができるものである。

【0078】

【発明の効果】以上説明したとおり、本発明によれば、クロック信号の数の増加等で制御が複雑にならないようにしながら、又、消費電力の増加を抑えながら、比較動作速度を向上することができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図1】本発明が適用された第1実施例のチョッパ型コンパレータの回路図

【図2】前記第1実施例におけるリセット動作を示す回路図

【図3】前記第1実施例の第1インバータゲートのリセット動作時の出力電圧を示すグラフ

【図4】前記第1実施例の第2インバータゲートのリセット動作時の出力電圧を示すグラフ

【図5】前記第1実施例における比較動作を示す回路図

【図6】前記第1実施例の第1インバータゲートの比較動作時の出力電圧を示すグラフ

【図7】前記第1実施例の第2インバータゲートの比較動作時の出力電圧を示すグラフ

【図8】本発明が適用された第2実施例のチョッパ型コンパレータの回路図

【図9】前記第2実施例のリセット動作を示す回路図

【図10】前記第2実施例の比較動作を示す回路図

【図11】本発明が適用された第3実施例のチョッパ型コンパレータの回路図

【符号の説明】

CP…比較結果信号

C1…ホールドコンデンサ(第1コンデンサ)

C2…ホールドコンデンサ(第2コンデンサ)

G…インバータゲート(出力バッファ)

10 M1、M3、M5、M7…PチャネルMOSトランジスタ

M2、M4、M6、M8…NチャネルMOSトランジスタ

SW1…アナログ入力スイッチ

SWR…基準電圧スイッチ

SWS1…第1閾値シフトスイッチ

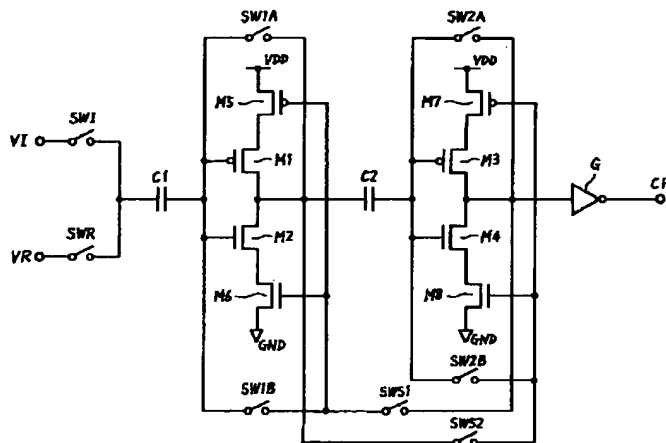
SWS2…第2閾値シフトスイッチ

SW1A、SW1B、SW2A、SW2B…リセットスイッチ

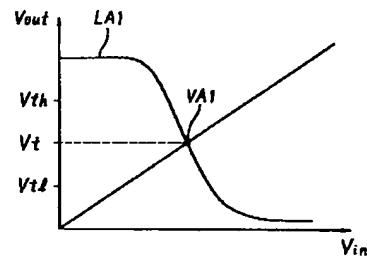
VI…アナログ信号電圧

VR…基準電圧

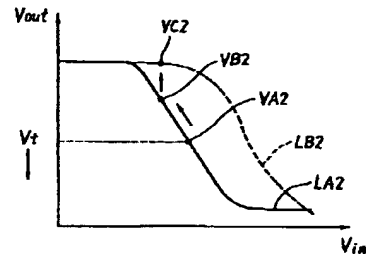
【図1】



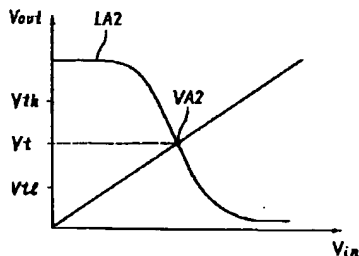
【図3】



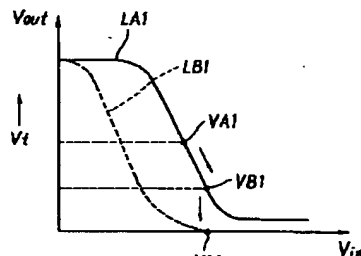
【図7】



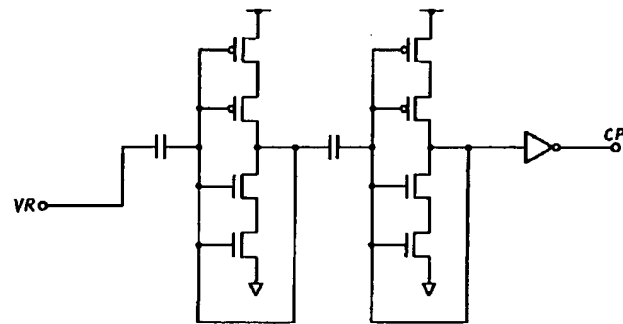
【図4】



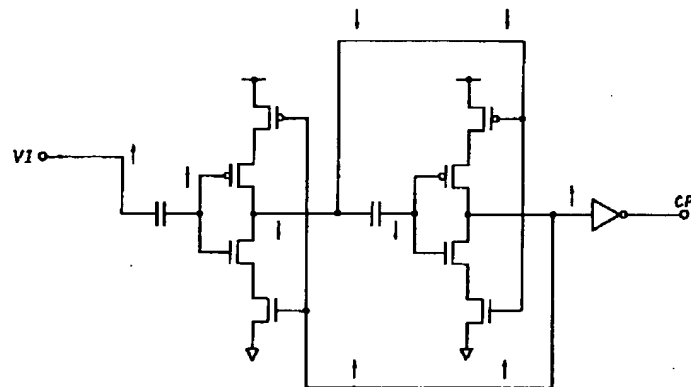
【図6】



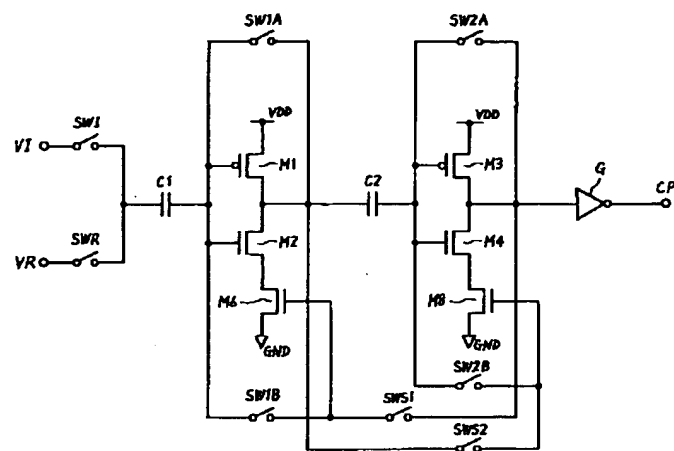
【図2】



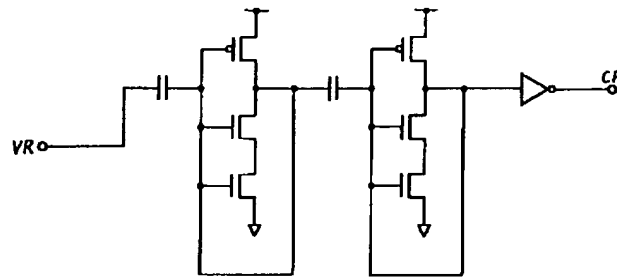
【図5】



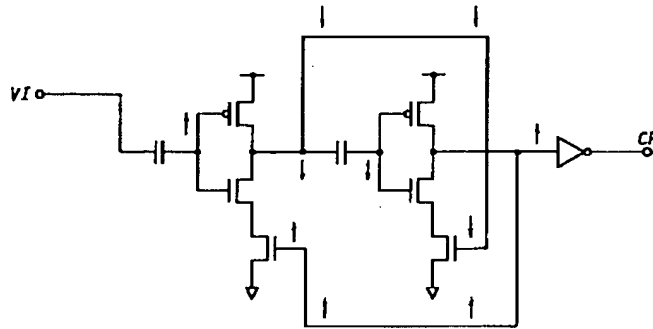
【図8】



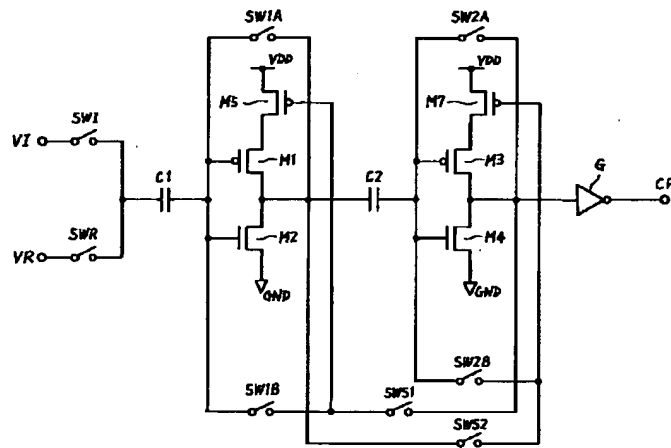
【図9】



【図10】



【図11】



PAT-NO: JP407264018A
DOCUMENT-IDENTIFIER: JP 07264018 A
TITLE: CHOPPER TYPE COMPARATOR
PUBN-DATE: October 13, 1995

INVENTOR-INFORMATION:
NAME
UENO, MASAYUKI

ASSIGNEE-INFORMATION:
NAME COUNTRY
KAWASAKI STEEL CORP N/A

APPL-NO: JP06055804
APPL-DATE: March 25, 1994

INT-CL (IPC): H03K005/08, G01R019/165 , H03M001/34

ABSTRACT:

PURPOSE: To increase a voltage gain and to speed up operating speed.

CONSTITUTION: When a comparative operation is performed, both threshold shift switches SWS1, SWS2 are turned on. When the potential of a capacitor C1 is elevated and that of a capacitor C2 is lowered and the potential of input of an inverter gate G1 is elevated, the potential of the gates of MOS transistors M5 and M6 are elevated, and that of the capacitor C2 is further lowered, then, the potential of the gates of MOS transistors M7 and M8 are elevated lowered, and that of input of the inverter gate G is further elevated. Consequently, an effect equivalent to the increment of the voltage gain can be obtained, and the speed of the comparative operation can be increased. It is enough to

turn on
the threshold shift switches SWS1 and SWS2 fundamentally when the
comparative
operation is performed, and no new clock signal is required.

COPYRIGHT: (C)1995,JPO